

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-095711

(43)Date of publication of application : 12.04.1996

(51)Int.Cl.

G06F 3/06
G11B 19/02
G11B 20/10

(21)Application number : 06-228180

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.09.1994

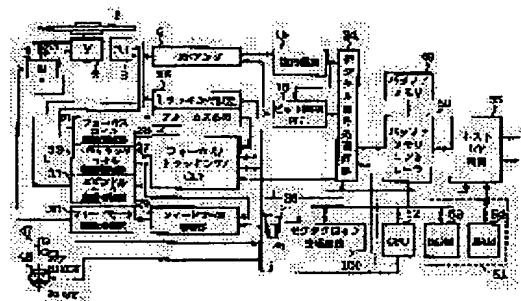
(72)Inventor : KOBAYASHI AKIRA

(54) CD-ROM DISK REPRODUCING DEVICE

(57)Abstract:

PURPOSE: To obtain the device which can access a CD-ROM disk, controlled and rotated at a speed higher than the linear speed of recording, at the high speed as it is without switching its rotation control mode.

CONSTITUTION: This device is provided with a sector clock generating circuit 100 which generates a clock having cycles equal to the CD-ROM sector cycles at the time of the (k)-fold linear speed. Further, a system control part 51 can be informed of the clock timing of the sector clock generating circuit 100 each time the clock is generated, and the sector clock generating circuit 100 is so constituted by the system control part 51 as to control the start and stop of the clock generation and the setting of the generated frequency. Consequently, data which are written in a buffer memory 4 at a high speed are transferred at a specific rate to a host computer through the buffer memory 50 and a host interface controller 55.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-95711

(43)公開日 平成8年(1996)4月12日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 3/06

3 0 1 R

G 1 1 B 19/02

5 0 1 N 7525-5D

20/10

A 7736-5D

D 7736-5D

審査請求 未請求 請求項の数7 O L (全25頁)

(21)出願番号

特願平6-228180

(22)出願日

平成6年(1994)9月22日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 小林 明

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

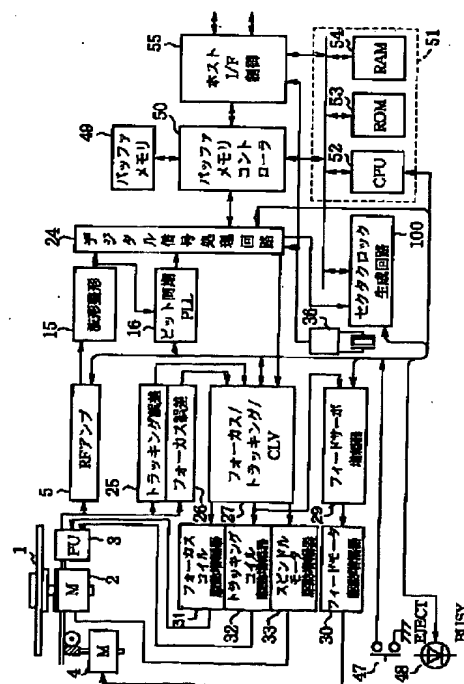
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 CD-ROMディスク再生装置

(57)【要約】

【目的】記録時線速より高速で回転制御されているCD-ROMディスクの回転制御モードを切り替えることなくそのまま高速にアクセスできる装置を得る。

【構成】k倍線速時のCD-ROMセクタ周期に等しい周期のクロックを生成するセクタクロック発生回路100を設ける。さらにセクタクロック発生回路100からのクロック発生毎にシステムコントロール部51にそのタイミングを告知でき、またセクタクロック発生回路100はシステムコントロール部51によりクロック発生の開始ならびに停止、ならびに生成周波数設定の制御ができるように構成されている。これにより、バッファメモリ49に高速で書き込まれたデータがバッファメモリ50、ホストインターフェイスコントローラ55を介してホストコンピュータへ所定レートで転送される。



【特許請求の範囲】

【請求項 1】記録時線速度より高速で CD-ROM ディスクを回転駆動するスピンドルモータ回転制御手段と、前記 CD-ROM ディスクからデジタルデータを読み出すためのピックアップ手段と、前記ピックアップ手段により読み出したデータに対して所定の信号処理を施すデジタル信号処理手段と、前記デジタル信号処理手段により処理されたデジタルデータを一時記憶するバッファメモリ手段と、前記バッファメモリ手段に対するデータフローを制御するバッファメモリ管理手段と、ホストコンピュータとの間のデータあるいはコマンド転送を仲介するホストインターフェイス手段と、ホストコンピュータからのデータ読み出し要求を解釈したのち前記ピックアップ手段と前記デジタル信号処理手段とを制御して読み出しデータを前記バッファメモリ手段に格納するとともに、指定されているセクタから順に前記ホストコンピュータへ転送するよう前記バッファメモリ管理手段ならびに前記ホストインターフェイス手段を制御するシステムコントロール手段と、前記システムコントロール手段によりプログラム設定され、記録線速におけるセクタ同期周波数の k 倍の周波数を有するクロックを生成するセクタクロック信号生成手段とを具備し、前記セクタクロック信号生成手段がクロック生成ごとにタイミング情報として前記システムコントロール手段に告知する手段を有したことを特徴とする CD-ROM ディスク再生装置。

【請求項 2】前記システムコントロール手段は、現在の線速度 n より小さい k 倍線速読み出しコマンド実行時、現在の線速度で CD-ROM ディスクを回転駆動してデータを読み出すとともに前記セクタクロック信号生成手段が生成するクロック信号に同期して前記バッファメモリ手段に一時記憶されたデータの際、前記ホストコンピュータへの転送を制御するようにしたことを特徴とする請求項 1 に記載の CD-ROM ディスク再生装置。

【請求項 3】前記スピンドルモータ回転制御手段は、少なくとも記録線速の m 倍 ($m > 1$) の線速度一定制御手段もしくは CD-ROM ディスクの最内周記録時の角速度より大なる角速度による角速度一定制御手段のいずれかの手段を含むことを特徴とする請求項 1 に記載の CD-ROM ディスク再生装置。

【請求項 4】前記システムコントロール手段は、前記バッファメモリ手段に一時記憶され転送待ちセクタ数を監視し、前記バッファメモリ手段に記憶されたデータがオーバーフローあるいはゼロとならないようにバッファリングを制御する手段を具備し、バッファフルで一時停止したバッファリングを再開すべくディスクアクセスを開始する迄に前記バッファメモリ手段に一時記憶す

る最小転送待ちセクタ数を、前記アクセス時に複数回のリトライならびに回転待ちを許容するセクタ数に設定することを特徴とする請求項 1 に記載の CD-ROM ディスク再生装置。

【請求項 5】前記システムコントロール手段は、前記ホストコンピュータからの k 倍線速設定命令を前記セクタクロック信号生成手段による k 倍線速時のセクタ周期と同一周期を有するクロック生成命令に変換する手段を含み、前記 k 倍線速設定命令を正常終了するようにしたことを特徴とする請求項 1 に記載の CD-ROM ディスク再生装置。

【請求項 6】前記スピンドルモータ回転制御手段は、記録線速の m 倍 ($m > 1$) の線速度一定制御手段と、前記ピックアップ手段の位置における回転待ち時間を算出する手段を具備し、前記手段により算出した回転待ち時間を前記最小転送待ちセクタ数設定に使用することを特徴とする請求項 1 ならびに請求項 4 に記載の CD-ROM ディスク再生装置。

【請求項 7】前記デジタル信号処理手段は、オーディオデータ処理手段を含むことを特徴とする請求項 1 に記載の CD-ROM ディスク再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタルデータを記録した CD-ROM ディスク再生装置に係り、特に n ($n > 1$) 倍線速一定もしくは角速度一定読み出し機能を有し、ホストコンピュータからの k 倍線速モード読み出し要求に対して、アクセス時間を犠牲にすることなく k ($k < n$) 倍線速の読み出しを実行する CD-ROM ディスク再生装置に関する。

【0002】

【従来の技術】音楽用のコンパクトディスク（以下 CD と称す）をコンピュータ等のデータメモリとともに使用する CD-ROM は、近年急速に普及してきた。このディスクを再生する CD-ROM ディスク再生装置は、外部デバイスとしてのコンピュータのデータ処理能力の向上と共に、高速アクセスならびに高速データ転送レートが要求されてきている。CD は、記録密度を高めるため線速一定（以下 CLV と記す）で記録されており、内周と外周とではディスク回転が約 2.5 倍異なっている。このため、ディスク外周側に記録されているデータを読み出す際には、ディスクの回転を安定化させる回転待ち時間が必要となり、この時間がアクセス時間を大きくしている。このため、CD-ROM ディスク再生装置では、デフォルトのディスク再生線速を記録線速の n 倍 ($n \geq 2$) に設定する、あるいはディスク回転を角速度一定（以下 CAV と記す）で制御をすることにより、回転待ち時間の短縮化や、光ピックアップ移動時の線速度一定化のためのスピンドルモータ制御時間を排除することにより、高速アクセス化ならびに高速データ転送レー

ト化を図っている。

【0003】図24は、最高線速が4倍線速モードであるCD-ROMディスク再生装置の構成図である。

【0004】同図において、1はCD-ROMディスク、2はCD-ROMディスク1を4倍線速で回転させるスピンドルモータ、3はCD-ROMディスク1から記録信号を読み出すための光ピックアップ、4は光ピックアップ3をCD-ROMディスク1の半径方向に移動させるためのピックアップ送りモータ、5は光ピックアップ3による検出信号を増幅ならびに波形等価を行う高周波増幅器である。

【0005】6は、高周波増幅器5の特性切り換え回路であり、アナログスイッチ、固定抵抗器、固定容量コンデンサを含む。15は高周波増幅器5から出力されたアナログデータ信号 S_{RFA} を矩形波状のEFM(Eight to Fourteen Modulation)信号 S_{EFM} に変換する波形整形回路、16はセルフクロッキング可能なEFM信号 S_{EFM} からデータビットをストロブするためのビットクロック信号を生成するためのビット同期クロック生成PLL回路である。17は、アナログスイッチ、固定抵抗器、固定容量コンデンサを含みPLL回路の周波数応答特性切り換え回路である。24は入力されるEFM信号 S_{EFM} に対して所定の処理を行いCDオーディオもしくはCD-ROMフォーマットのデータ信号の復調とエラー訂正および線速制御信号 S_{CLV} の生成をおこなうデジタル信号処理回路、25は光ピックアップ3の検出信号 S_{RF} からトラッキング制御信号 S_{TE} を生成するトラッキング誤差増幅器、26は同じく S_{RF} からフォーカス制御信号 S_{FE} を生成するフォーカス誤差増幅器、27はフォーカス誤差信号 S_{FE} 、トラッキング誤差信号 S_{TE} 、線速制御信号 S_{CLV} をそれぞれ処理するデジタルサーボプロセッサ、30はフィードサーボ増幅器28からの出力信号を処理しピックアップ送りモータ駆動に必要な信号を生成するフィードモータ駆動増幅器、31は光ピックアップ3に内蔵されているフォーカスアクチュエータを駆動するためのフォーカスコイル駆動増幅器、32はトラッキングアクチュエータを駆動するトラッキングコイル駆動増幅器、33はスピンドルモータ駆動増幅器である。

【0006】35は第1のマスククロック生成のための水晶振動子を用いた発振回路、36は第2のマスククロック生成のための水晶振動子を用いた発振回路、39は第1のマスククロックと第2のマスククロックのいずれかを選択してデジタル信号処理回路24に供給するためのクロック選択回路である。

【0007】47はディスク排出指示のためのイジェクト(EJECT)スイッチ、48はディスクからデータを読み取り所定の処理中であることを指示するビジー(BUSY)インジケータである。

【0008】さらに49はバッファメモリ、50はエラ

ー訂正の終了したCD-ROMセクタデータのバッファメモリ49への書き込みを含むデータフローの管理を行うバッファメモリコントローラ、51はシステムコントローラ、52はCPU、53はCPU50のプログラムを格納したROM、54はCPU50の一時記憶用のRAM、55はバッファメモリ49に格納されたCD-ROMデータをホストコンピュータに転送する際にシステムコントローラ51により制御されホストコンピュータとCD-ROMデータプロセッサとの間の仲介を行うホストインターフェイスコントローラである。ホストインターフェイスコントローラ55はホストコンピュータが直接アドレスシングによりアクセス可能なデータレジスタ、コントロールレジスタ、ステータスレジスタを含んでいる。

【0009】図25は、高周波増幅器5ならびにビット同期クロック生成PLL回路16の詳細を示した図である。

【0010】高周波増幅器5において、60は光ピックアップ3から出力される微小振幅のアナログデータ信号を増幅するピックアップ前置増幅器、61は高周波増幅素子、62~64は固定抵抗器、65は固定容量コンデンサ、66~69はスイッチ用のトランジスタ、70~73は固定のベース抵抗器である。

【0011】ビット同期クロック生成PLL回路16において、74は位相比較器、75は1/2分周器、76は1/4分周器、77はクロック切り替え回路、78は電圧制御発振器(以下VCOと記す)、79は演算増幅器、80~82は固定抵抗器、83は T_{max} 検出回路、84~87はスイッチトランジスタ、88~91はベース抵抗としての固定抵抗器である。

【0012】高周波増幅器5は、高域周波数特性補償機能を有している。また T_{max} 検出回路83はEFM信号の最大反転間隔 T_{max} をVCO出力クロック S_{VCO} を使用して検出する回路であり、電源投入時やディスクサーチ時などビット同期クロック生成PLL回路16が不安定で同期信号が正常に検出できない場合に動作してミスロック防止ならびに迅速な同期引き込みを行うための信号生成する。

【0013】図26は、ホストインターフェイスコントローラ55内に設けられたレジスタのうち、ホストコンピュータがアクセス可能なレジスタ構成を示している。

【0014】ライトレジスタは“Command”レジスタ、“Data”レジスタ、“Byte Count(H/L)”レジスタ、“Drive Control”レジスタ、“Drive Select”レジスタから構成され、リードレジスタは“Error Status”レジスタ、“Data”レジスタ、“Byte Count(H/L)”レジスタ、“Drive Status”レジスタ、“Bus Phase”レジスタから構成されている。

コマンドフェーズであり、コマンドの受付け可能である。DRQ IO C/Dが“111”のときメッセージフェーズであり、ホストにメッセージデータ転送可能。DRQ IO C/Dが“110”のときデータインフェーズであり、CD-ROMディスク再生装置からホストコンピュータへコマンドパラメータを転送。DRQ IO C/Dが“100”のときデータアウトフェーズであり、ホストコンピュータからCD-ROMディスク再生装置へコマンドパラメータを転送。DRQ IO C/Dが“011”のときステータスフェーズであり、ステータスレジスタは有効なステータスデータを保持。

【0035】図24に戻って説明する。

【0036】図24に示す4倍線速CD-ROMディスク再生装置では4種類の再生線速度モードを備えており、電源投入後の初期状態は、4倍線速モードに設定され、ディスクがスピンドルモータ2に装着されている場合、光ピックアップ3が最内周に位置しているならば約2000rpmで回転を続け、ホストコンピュータからのコマンド待ちになる。また、各線速モードにおいて、所定の読み取りエラーレートの確保、最適なサーボ系周波数応答特性設定、デジタル信号処理回路24のマスタクロック周波数設定ならびにビット同期クロック生成PLL回路16による所定周波数クロック生成のために回路定数あるいはクロック分周数の切り替えを行っている。これらの切り替えは、システムコントローラ51により制御されるI/O(Input/Output)ポートを介して実行される。サーボ系周波数応答特性は、デジタルサーボプロセッサ27に内蔵されるフォーカスサーボプロセッサ、トラッキングサーボプロセッサ、CLVサーボプロセッサによりデジタル的に設定される。

【0037】各線速モードにおける切り替え部の設定を第2表に示す。

【0038】図28は、図25に示した各回路の特性を切り換えためのスイッチの状態と、出力クロック、及び倍速との関連を示している。

【0039】ところで、CD-ROMアプリケーションソフトウェアによってはCD-ROMディスクの再生線速をデフォルトの4倍線速より遅い線速、すなわち記録時と同一線速の1倍線速、2倍線速あるいは3倍線速のいずれかで再生されることを前提に制作されているものが存在する。

【0040】ここで、1倍線速でサステインド(Sustained)モード読み出しが必要な、図29(A)に示すデータ構造のCD-ROMディスクを、図29(B)に示す構成のホストコンピュータ200により再生する場合を説明する。

【0041】CD-ROM XA方式のADPCMオーディオには、図30に示すコーディングモードが規定さ

れており、記録線速度と再生線速度は同一であることを前提にデータ圧縮ならびに記録が行われている。

【0042】図29(B)において、CD-ROMディスク再生装置201はインターフェイスバス202によりホストコンピュータ200の記憶装置インターフェイス203に接続されている。記憶装置インターフェイス203にはCD-ROM XA ADPCMオーディオ復調回路204が接続されており、復調されたオーディオ信号はオーディオ増幅器205により増幅され、スピーカ206から再生音として出力される。ビデオデータは、コンピュータ部207により処理されディスプレイ208に表示される。ユーザーの要求は、キーボード209からコンピュータ部207に伝達される。

【0043】インターフェイスバス202の各部を説明する。DD7-DD0は8ビットデータバス、DMAREQはDMAリクエスト信号、DMACK*はDMAアクノリッジ信号、CS1FX*は、CD-ROMディスク再生装置レジスタ選択信号、DIOR*はCD-ROMディスク再生装置レジスタ読み出し信号、DIOW*はCD-ROMディスクレジスタ書き込み信号、DIA2-DA0はレジスタアドレス信号。IORDYはウエイト要求信号、HRESET*はホストコンピュータからのリセット信号、HINTホストコンピュータへの割り込み信号である。

【0044】図29(B)に示すデータ構造のCD-ROMディスクは、トラック01にはCD-ROMモード1フォーマットのセクタが、トラック02にはCD-ROMモード2フォーム1ならびにフォーム2のセクタが記録されている。トラック02にはビデオデータセクタの間にCD-ROM XA方式ADPCMオーディオセクタが周期的にインターリーブされ配置されている。

【0045】図31は、CD-ROMモード2フォーム2のセクタフォーマットならびにこのフォーマットに従ってデータを格納したビデオセクタとオーディオセクタの構造を示している。

【0046】トラック01のデータは、当該CD-ROMディスクに関するボリュームディスクリプタ、ディレクトリ、パステーブル等が記録されており、これらのデータは再生線速に依存しないデータであるため4倍線速読み出可能である。トラック02にはADPCMオーディオセクタが存在し、ビデオ/テキストデータとADPCMオーディオデータとはセクタインターリーブ比3:1で配置されている。通常ホストコンピュータ200側のADPCMオーディオ復調回路204は1倍線速再生により1/75sec周期でセクタデータが転送されることを前提としているので、CD-ROMディスク再生装置201を1倍線速再生モードに設定する必要がある。CD-ROMディスク再生装置201を制御するホストコンピュータ200は、CD-ROMディスクを再生するアプリケーションプログラムが指定する線速モードに

設定するために、CD-ROMディスク再生装置201に対して、図32に示すフォーマットの“Set CD-ROM Speed”コマンドを発行する。

【0047】図32に示すコマンドにおいて、線速度は、図33に示すごとくデータ転送レートをKB/secを単位として2バイトのバイナリ形式で指定する。

“Set CD-ROM Speed”コマンドを受け付けたCD-ROMディスク再生装置201のシステムコントローラ51は、パラメータの第2および第3バイトに格納されているコードを解析し、ホストコンピュータ200が指定した線速を判定する。指定線速が判定できなかったならば、I/Oポートを介して再生装置内の各部分を図30に示す1倍速に対応した定数あるいはクロック周波数への設定を実行する。設定が終了し、次のコマンドの受付が可能となったならば、ステータスレジスタを介してホストコンピュータ200に実行ステータスを返送する。CD-ROMディスク再生装置201側のコマンド実行完了を確認したホストコンピュータ200は、引き続き図34に示す“Test Unit Ready”コマンドを発行し、線速が1倍線速に収束しデータ読み出しならびにデータ転送レディか否かをテストする。“Test Unit Ready”コマンドを受け付けたシステムコントローラ51はCD-ROMディスクのTOC (Table of Contents) 領域のサブコードデータの読み出しを実行し、4倍速モードで読み出したデータと比較する。両データが一致したならばレディ状態にあるとし、ホストコンピュータ200に対して“Ready”ステータスを、それ以外の場合は“Not Ready”ステータスをそれぞれセンスキー (Sense Key) として報告する。

【0048】ホストコンピュータ200は、CD-ROMディスク再生装置201からレディステータスが報告されるまで“Test Unit Ready”コマンドを周期的に発行する。CD-ROMディスク再生装置201からレディステータスが報告されたならば、図35に示す“Read XA”コマンドを発行し目的の“Logical Block Address”から“Transfer Length”で指示した必要なサイズの画像データ、サウンドデータあるいはテキストデータ読み出しを実行する。

【0049】図36は“Set CD-ROM Speed”コマンドの実行によりスピンドルモータの回転数が4倍線速時の2000rpmから減速して目的の500rpmに収束し、データが正しく読み出し可能となる迄の変化を示している。同図において、B点からC点迄の減速時間は約1.2秒以上必要である。

【0050】CD-ROMディスク再生装置201は、“Read XA”コマンドによりモード2フォーム2のCD-ROMセクタをバッファから1セクタずつホストコンピュータ200に対して転送を行う。この際、1

セクタ=2340バイトの転送前に、転送データレディの指示とホストコンピュータ200側の再生タイミング基準の供給を目的として割り込み信号S_{INT}を生成する。このS_{INT}信号はデータ転送中は周期的に生成され、その平均周期は1倍速再生時のCD-ROMセクタ周期に等しい1/75秒である。ホストコンピュータ200は割り込みを受け付ける毎にCD-ROMディスク再生装置201に指示したDMAもしくはプログラム転送（以下PIO転送という）のいずれかの方法により“Data”レジスタから1セクタ分のデータを読み出す。

【0051】上述のように、1倍線速に収束するまでホストコンピュータ200は、目的データを読み出すことができないため、結果的にアクセス速度が非常に遅いCD-ROMディスク読み出し装置になってしまう欠点を有している。また、1倍線速専用CD-ROMディスクから再生線速に依存しないCD-ROMディスクに交換して4倍線速にてアクセスする場合も、“Set CD-ROM Speed”コマンドスピードによる4倍線速への線速度変更に伴う加速も上記減速の場合と同様に、長い収束時間を必要とするので、最初のアクセス時間が大きくなる欠点を有している。このような欠点は4倍線速モードと他の線速モード（2倍線速もしくは3倍線速）との間の遷移でも同様に存在する。さらに、複数の線速モードを有することにより、各線速でのデータ読み取り性能維持のため各種の定数を切り替える必要があり部品点数が増加しコストアップする欠点も有している。

【0052】

【発明が解決しようとする課題】従って、この発明の解決すべき課題は、上記従来技術のもつ問題を解決し、記録時線速より高速で回転制御されているCD-ROMディスクの回転制御モードを切り替えること無しに、記録時の線速度と同一の線速度で再生すべきCD-ROMディスクを高速にアクセスできる安価なCD-ROMディスク再生装置を提供することにある。

【0053】

【課題を解決するための手段】本発明によるCD-ROMディスク再生装置は、上記目的を達成するために、k倍線速時のCD-ROMセクタ周期に等しい周期のクロックを生成するセクタクロック発生手段を設ける。また、前記セクタクロック発生手段からのクロック発生毎にシステムコントロール手段に告知できるようにするとともに、前記セクタクロック発生手段は、システムコントロール手段によりクロック発生の開始ならびに停止、および生成周波数設定の制御ができるように構成されている。

【0054】

【作用】すなわち、本発明にかかるCD-ROMディスク再生装置は、ホストコンピュータから指示されたk線

速度に対応するセクタ同期信号周波数の k 倍の周波数を有するセクタクロックをセクタクロック生成手段により生成し、記録線速より早い線速で駆動されるCD-ROMディスクから読み出されバッファメモリに一時記憶されたCD-ROMデータを、セクタクロックを基準にバッファメモリからの1セクタデータの読み出し、ならびにホストコンピュータへのデータ転送を制御するとともに、バッファメモリ内の転送待ちセクタ数を監視しデータのオーバーフローあるいはデータゼロとならないように、CD-ROMディスクから読み出したCD-ROMデータのバッファメモリへの書き込みを制御するようにしている。

【0055】

【実施例】以下、この発明の実施例を図面を参照しながら説明する。

【0056】図1は、この発明の一実施例によるCD-ROMディスク再生装置の構成図である。従来の実施例と重複する部分は、同一符号を付して説明を省略し、異なる部分について説明する。この装置は、高周波増幅器5において特性切り換え回路が省略されている。またビット同期クロック生成PLL回路16においても特性切り換え回路が省略されている。さらに、水晶振動子を用いた発振回路36のみとなり、従来の装置にさらに設けられていた発振回路35、さらにはマスタクロックの選択回路39が省略されている。

【0057】同図において100が新たに設けられ、これは、指定された線速度におけるセクタ周期に等しい繰り返し周期のパルス信号を生成するセクタクロック生成回路である。

【0058】図2にセクタクロック生成回路100の回路構成の詳細を示す。

【0059】このクロック生成回路100は、デジタル信号処理回路24から供給される周波数176.4kHzの S_{LRCX} をマスタクロックとし、プリカウンタ101で $1/392$ し、450Hzの周波数のクロック信号 S_{EN} を生成し、 S_{EN} 信号を3ビットプログラマブル分周器101のクロックイネーブル信号としている。3ビットプログラマブル分周器102のマスタクロックは、プリカウンタ101と同様に S_{LRCX} 信号であり、 S_{EN} 信号が“H”となる毎に S_{LRCX} 信号の立ち上がりで内容をインクリメントする。

【0060】内容が111bに達し S_{EN} 信号が“H”となることにより、I/Oポート信号 S_{PA} 、 S_{PB} および S_{PC} により設定された3ビットのプリセット値を再ロードし、 S_{EN} 信号が“H”となる毎にインクリメントする。3ビットプログラマブル分周器102のキャリー出力 S_{CO} は、2入力アンドゲート104の一方の入力信号となる。2入力アンドゲート104の他方の入力、 S_{EN} 信号となり、ナンド演算出力は3ビットプログラマブル分周器102のロード端子に供給される。通常、 S_{CL} 信号

は“L”レベルにあり、この信号によりプリカウンタ101の内容はオールゼロ、また3ビットプログラムカウンタ102の内容は111bが保持された状態にある。3ビットプログラマブル分周器102のプリロード端子A、B、Cには、 S_{PA} 、 S_{PB} 、 S_{PC} により設定された初期値010bが与えられる。

【0061】105はDフリップ・フロップであり、Q端子出力信号 S_{INT} と S_{CO} 信号とが2入力オア回路106によりオア演算され、その結果がD端子入力となるとともに S_{INT} 信号線は、CPU52に接続される。Dフリップ・フロップ105のCL端子には、2入力アンドゲート107の出力が接続され、2入力アンドゲート107の入力信号となるI/Oポート信号 S_{CLR} あるいは S_{INTAK} 信号のいずれかによってその内容がクリアされる。

【0062】図3は、図1、図2に示すセクタクロック発生回路100の動作タイミングを示す図であり、この図においては3ビットプログラマブル分周器102は6分周するように設定され、1倍線速モードの周波数75Hzのセクタクロックが得られるようになっている。

【0063】セクタクロック発生回路100のマスタクロック S_{LRCX} は、発振回路36から得られるシステムクロック33.4MHzを、デジタル信号処理回路24内で192分周して得た周波数176.4kHzの信号である。

【0064】図4は、2倍線速に、図5は、3倍線速に対応したセクタクロック生成の動作タイミングをそれぞれ示す。

【0065】図6には S_{PA} 、 S_{PB} 、 S_{PC} によるプログラマブル分周器102に対する設定値と分周数とセクタクロック周波数の関係を示している。

【0066】図1に示した実施例による4倍線速CD-ROMディスク再生装置で、図29(A)のデータ構造のCD-ROMディスクを再生し、図29(B)に示す構成のコンピュータシステムにてアクセスする場合の動作を説明する。

【0067】CD-ROMディスクがCD-ROMディスク再生装置に装着された直後は、所定の初期処理を終了した後、光ピックアップ3は、最内周に位置し、ホストコンピュータからのコマンド待ちとなる。この時点で、4倍線速一定に回転制御されたスピンドルモータの回転数は、約2000rpmである。ホストコンピュータは、CD-ROMディスク再生装置がコマンド受付可能であることをホストインターフェイスコントローラ55内の“Status”レジスタにより判定し、トラック01のデータを“Read”コマンドにより読み取る。

【0068】次にディスク回転を指定の1倍線速度に設定すべく図32示した“Set CD-ROM Speed”コマンドを発行する。

【0069】システムコントローラ51は、このコマンドを受け付けたならば、転送レートパラメータ“Drive Speed”から対応すべき線速度を判定しセクタクロック発生回路100のセクタ周期を設定する命令に変換する。“Drive Speed”パラメータとデータ転送レートならびに線速度との関係は図33に示している。

【0070】この命令により3ビットプログラマブル分周器102のプリセット値(S_{PA} , S_{PB} , S_{PC})が設定される。その後、エラー無しでコマンドを正常終了したことを“Drive Status”レジスタおよび“Error Status”レジスタを介してホストコンピュータに通知する。この内容は、システムコントローラ51によりDrive Status=40h、Error Status=00h(エラーなし)と設定される。

【0071】次に、ホストコンピュータ200は、CD-ROMディスク再生装置のレディ状態を確認するために図34に示した“Test Unit Ready”コマンドを発行する。このコマンドを受け付けたシステムコントローラ51は直ちに“Drive Status”レジスタおよび“Error Status”レジスタを介してホストコンピュータにコマンドの実行結果を通知する。

【0072】レディ状態であれば“Drive Status=40h、Error Status=00h”が報告される。

【0073】更にホストコンピュータ200は、転送すべきCD-ROM XAセクタのファイル番号ならびにチャンネル番号をオーディオセクタとビデオセクタそれぞれについて指示するために“Mode Select”コマンド(図7に示す)を発行する。コマンドに続くXAページデータは、図8のフォーマットに従って転送される。このXAページデータにより、ファイル番号ならびにチャンネル番号を指示する。

【0074】オーディオデータに関しては、0~15チャンネル、ビデオデータに関しては0~31チャンネルを指定可能であり、図8の“Channel Selection Mask”フィールドの対応するビット番号をセットすることによりオーディオデータあるいはビデオデータのチャンネル番号を指定することができる。最後にホストコンピュータ200は、図9に示す“Read XA”コマンドを発行してCD-ROMディスク再生装置に対してトラック番号=02に格納されているCD-ROM XAセクタの所定セクタ長(Transfer Length ≥ 2)の読み出しを指示する。

【0075】このコマンドを受け付けたCD-ROMディスク再生装置内のシステムコントローラ51は、CD-ROMディスク上の指定セクタからのデータ読み出し、読み出しデータのデジタル処理、処理データのバッ

ファメモリ49によるバッファリングならびにバッファメモリ49からのホストコンピュータ200に対するデータ転送の制御を開始する。

【0076】デジタル処理されたセクタデータは、同期パターンデータを除く2340バイトを1ブロックとして、下位アドレスから順次一時記憶される。バッファメモリ49は、このメモリブロックを単位として管理される。バッファメモリ49に対するデジタル処理後のデータ書き込み、ならびにホストコンピュータ200に転送するためのデータ読み出しは、システムコントローラ51により操作されるバッファメモリコントローラ50を介して制御される。

【0077】図10は、システムコントローラ51がバッファメモリ49の管理のために使用するレジスタを示している。

【0078】TRCOUNTレジスタは、未転送セクタ数を保持するレジスタであり、“Read XA”コマンド受付時にコマンドの“Transfer Length”フィールドのデータを格納し、ホストコンピュータ200に対するセクタデータの転送が終了する毎に内容が-1ずつデクリメントする。

【0079】TRPENDレジスタは、バッファメモリ49内の転送待ちセクタ数を保持するレジスタであり、デジタル信号処理回路24で処理された2340バイトのセクタデータをバッファメモリ49に書き込む毎に+1ずつインクリメントされ、ホストコンピュータ200への転送が終了する毎に内容が-1ずつデクリメントされる。

【0080】WSTADRレジスタは、デジタル信号処理の終了したセクタデータのバッファリングのために書き込みを開始するバッファメモリ49のアドレスを格納するレジスタである。“Read XA”コマンド実行に先行して000000hに初期化され、1セクタのデータを書き込む毎に2340を加算した次の書き込み開始アドレスが設定される。

【0081】RDSTADRレジスタは、ホストコンピュータ200へのセクタデータ転送を終了する毎に更新され、次の転送のために読み出しを開始するアドレスが設定される。WSTADRレジスタ同様“Read XA”コマンド実行に先行し、000000hに初期化され、その内容は2340単位でインクリメントする。

【0082】図11は、WSTADRレジスタならびにRSTADRレジスタとバッファメモリ49のセクタデータ格納領域との関係を示す図である。必ずWSTADRレジスタで指定されるアドレスがRSTADRレジスタで示されるアドレスより先行する。これらのレジスタは、システムコントローラ51が書き込みならびに読み出しすることが可能であり、本実施例ではバッファメモリコントローラ50内に設けられている。システムコントローラ51は、これらのレジスタ内の情報をもとにバ

ッファメモリ49内で転送待ちとなっているデータ量を監視し、データがオーバーフローしたりゼロになることがないように制御する。

【0083】図12は、SRAM54中に作成されるタグ領域のデータ構造とフォーマットを示す。タグ領域は4バイト単位のフィールドで細分化されフィールドはバッファメモリ49内のデータブロックと対応している。システムコントローラ51はデジタル信号処理回路24で処理されたセクタデータがバッファメモリに書き込まれる毎に各セクタのヘッダならびにサブヘッダをチェックする。ホストコンピュータ200が要求したファイル番号とチャンネル番号の両方に一致するセクタか否かを判定し、タグ領域のフィールドのバイト0に属性情報を、バイト1～3にそのセクタのCD-ROMヘッダアドレスを格納する。バイト0の属性情報REQは、ホストコンピュータ200が転送要求したデータであればREQ=1であり、そうでなければREQ=0である。

【0084】TAGPNTRは、SRAM54中の固定アドレスに置かれ、ホストコンピュータ200に転送すべきセクタデータに関する情報が格納されたタグ領域内の該当するタグフィールドの先頭アドレスを指示する。

【0085】図13は、CD-ROMディスクから読み取りデジタル信号処理回路24で処理したデータの一連の処理動作ならびにディスクアクセスモードを説明する図である。

【0086】ホストコンピュータ200がバッファメモリ49の記憶容量を越えるセクタ数のCD-ROM XAデータの読み出しを“Read XA”コマンドのTransfer Lengthフィールドにより指示した場合の動作である。以下にシステムコントローラ51の処理シーケンスを説明する。

【0087】(1) デジタル信号処理回路24で処理されたセクタデータはホストコンピュータ200が指定した先頭セクタから順次バッファメモリ49に書き込まれる。セクタデータが書き込まれる毎にTRPENDレジスタを+1ずつインクリメントする。NUM WSECTレジスタの内容は-1ずつデクリメントする。また、当該セクタのヘッダならびにサブヘッダを参照し、タグフィールドに所定の情報を書き込んでゆく。

【0088】(2) 先頭セクタの書き込みが終了した時点からホストコンピュータ200に対するデータ転送を開始する。ホスト転送の終了毎にTRPENDレジスタならびにTRCONTレジスタの内容を-1ずつデクリメントする。これ以後、ホストコンピュータ200に対するデータ転送は、概略1/75秒の周期で繰り返される。

【0089】(3) バッファメモリ49内の転送待ちセクタ数を指示するTRPENDレジスタ内容がバッファリング可能最大セクタ数(S_{\max})に達し、かつさらに“Transfer Length”で指定されたセク

タデータ数のセクタデータのバッファリングが未終了であるならば、次セクタアドレス以降のデータ読み出し、デジタルデータ処理ならびにバッファリングを一時停止する。

【0090】(4) 1トラックキックによる次のリード目的アドレスのセクタのシークを継続する。この間、WSTADRレジスタにはバッファリング再開時に書き込みを開始するバッファメモリアドレスが保持されている。この期間にはヘッダアドレスを基に光ピックアップ3の位置を計算し、回転待ち時間 T_r を算出する。

【0091】(5) 最小転送待ちセクタ数に達したことを検出する。バッファメモリ49のフル状態で中断したバッファリングを再開するためのディスクアクセス開始迄に、バッファメモリ49の保持する最小転送待ちセクタ数を計算しておく。これは、リトライ回数(N)と、光ピックアップ3の1トラックキック時間 t と、光ピックアップ3の1トラックキック終了からリード開始セクタより前に配置されているセクタへのヘッダアドレスが読み出し可能となる迄の最大時間 τ と、読み出し再開の光ピックアップ位置における最大回転待ち時間 T_r と、 k 倍線速時のセクタ周期 T_k とからあらかじめ計算しておく。最小転送待ちセクタ数を

$$S_{\min} = [N \times (t + \tau + T_r) / T_k] + 1$$

としている。通常 $N=5$ 、 $t=2\text{ msec}$ 、 $\tau=7\text{ msec}$ に設定される。 T_r は光ピックアップ位置3の関数であり、 S_{\min} もまたは光ピックアップ3の位置の関数となる。 S_{\min} は内周では小さく、外周側に移動するに従って大きな値となる。

【0092】(6) 次にバッファメモリに書き込みを行うべきセクタを検索するために、1トラックキック、回転待ち、あるいは目的アドレスの検索ができない場合にはリトライを実行する。図14、図15はリトライを含めたバッファリング開始時のフローを示している。

【0093】(7) 目的セクタが検出されるとリード動作を再開する。

【0094】(8) バッファメモリ49に新たなセクタデータを順次書き込んでゆく。

【0095】(9) バッファメモリ49内の転送待ちセクタ数が S_{\max} に達したことを検出しデータ書き込みを中断する。

【0096】(10) 1トラックキックによる次のリード目的アドレスのセクタのシークを継続する。(4)と同一の動作を行う。

【0097】(11) 最小転送待ちセクタ数 S_{\min} に達したことを検出する。

【0098】(12) 1トラックキックによる次のリード目的アドレスのセクタの検索をおこなう。

【0099】(13) リード目的アドレスのセクタ検索の結果、リトライが増加すれば、それにともないリード再開までに時間を要し転送待ちセクタ数が減少する。

17

【0100】(14) バッファメモリ49に新たなセクタデータを順次書き込んでゆく。

【0101】(15)～(20)は以前と同様の処理を繰り返す。

【0102】(21) NUM WSECTレジスタの内容がゼロとなったことを検出したならば書き込みを停止する。

【0103】(22) 1トラックキックにより最終セクタのシークを続けアイドリング状態にはいる。

【0104】(23) ホストデータ転送は継続し、TRCOUNTレジスタの内容がゼロとなったことを検出したならば“Read XA”コマンドの実行を終了し、ホストコンピュータ200に対して実行ステータスを報告する。

【0105】図16は、図14、図15における(1)～(3)の動作タイミングの詳細を説明する図である。トラック02中のCD-ROM XA ADPCMレベルBステレオの圧縮されたオーディオデータが格納されたオーディオセクタは、3:1のインターリーブ比にて配置されており、CD-ROMディスクから読み出したセクタには便宜的にセクタ番号を0、1、2、…、i-1、i、i+1、…としている。ここでセクタ0、4、8、12、…、4*(s-1)、…がADPCMオーディオセクタ、セクタ7、10がテキストデータセクタ、他はビデオデータセクタである。ホストコンピュータはテキストデータセクタのみ、転送すべきデータとして指示していない。バッファメモリ49には図17に示すごとく書き込まれる。同図にはバッファメモリ49に書き込まれているセクタデータに関する情報を保持しているタグ領域のデータも併せて示されている()内は図16におけるセクタ番号に対応している。

【0106】図18は、ホストコンピュータ200に対するデータ転送処理のフローを説明する図である。

【0107】以下、図14、図15、図16、図17ならびに図18を参照しながらホストコンピュータ200に対するデータ転送時のシステムコントローラ51の転送処理を順次説明する。

【0108】(1) ホスト転送のためにバッファメモリコントローラ50ならびにホストインターフェイスコントローラ55の初期設定を行う。

【0109】(2) 最初のセクタデータがバッファメモリ49に書き込まれたならば、セクタクロック発生回路100によるセクタクロックの生成を起動するためにS_{CLR}を“L”から“H”に変化させる。これにより最初のS_{INT}信号が約1/450秒後に生成される。

【0110】(3) S_{INT}信号=“H”による割り込みを検出したならば直ちにS_{INT}信号をS_{INTAK}信号によりクリアする。

【0111】(4) TAGPNTRレジスタを参照してタグフィールドのアドレスを得る。

18

【0112】(5) タグフィールドを参照してバッファメモリ49内のセクタデータに関する情報を取得する。

【0113】(6) 属性フィールドのREQビットの値に従って以下のようにByte Count (H/L)レジスタに転送長をセットする。

【0114】REQ=1ならばByte Count (H/L)=2340

REQ=0ならばByte Count (H/L)=12

10 セクタ番号6、10に対応するセクタデータに対してはバッファ書き込み処理ルーチンが“Header”と“Subheader”の合計12バイトを転送するようにREQ=0を指定している。

【0115】(7) RSTADRレジスタの内容を参照し、バッファメモリコントローラ50にバッファメモリ読み出し開始アドレスならびに読み出し停止アドレスを設定するとともに、読み出し許可状態とする。

20 【0116】REQ=0ならばバッファメモリ49に対して転送開始アドレスならびに転送停止アドレス=転送開始アドレス+11を設定する。また、テキストデータセクタ以外のセクタに対しては2340バイトの転送を実行するために転送開始アドレスならびに転送停止アドレス=転送開始アドレス+2339を設定することになる。

【0117】(8) ホストコンピュータ200に対してデータ転送を許可するために“Drive Status”レジスタならびに“Bus Phase”レジスタに所定の値をセットする。

30 【0118】(9) ホスト割り込み信号S_{INT}を“H”にアサートする。

【0119】：ホストコンピュータ200は“Status”レジスタならびに“Bus Phase”レジスタを参照し割り込み要因を判定する。“Status”レジスタの読み出しによりS_{INT}はネゲートされる。

【0120】：ホストコンピュータ200は“Data”レジスタを介してバッファメモリ49内のセクタデータをByte Count (H/L)レジスタの内容に従って指定されたバイト数分PIO(プログラマブルIO転送)により読み出す。

40 【0121】：指定バイト数分の読み出しが終了したなら読み出しアクセスを一時停止し次の転送割り込み処理のセットアップをする。

【0122】：

(10)はホストコンピュータ200がデータ読み出しを実行する間は、バッファメモリコントローラ50が読み出し終了アドレスの検出を報告するまでは、バッファメモリ49へのセクタデータ書き込み等の他の処理を実行する。

50 【0123】(11) 1セクタ分のデータもしくはヘッダ/サブヘッダ12バイトの転送終了を検知したならば

TRCOUNTレジスタを-1デクリメントする。

【0124】(12)次のホスト転送のためにデータ読み出しを開始するバッファメモリアドレスをRSTAD Rレジスタに書き込む。

【0125】(13)次のホスト転送の際に参照するタグフィールドのアドレスを保持するTAGPNTRレジスタの内容を更新する。

【0126】(14)セクタクロック発生回路100から割り込みが生成される毎に(3)~(13)の処理を繰り返しTRCOUNT=0となり最終セクタのホストコンピュータ200への転送処理が終了したならば、S_{CLR}を“L”としてセクタクロック生成回路100によるセクタクロック生成を停止させる。

【0127】(15)ホストコンピュータ200に対してコマンド実行ステータスを報告する。

【0128】上記のように、スピンドルモータ2の回転制御モードを4倍線速に固定したままで1倍線速再生前提としたCD-ROM XA ADPCMオーディオセクタがインターリーブ記録されたディスクデータ読み取り、1倍線速再生時と等価なデータレートによりホストコンピュータに転送することができる。

【0129】また、リトライ回数と光ピックアップ3の位置に応じてバッファメモリ49内の最小転送待ちセクタ数を管理することにより、CD-ROMディスクのディフェクトによるアプリケーションプログラムの異常終了の確率を著しく小さくするとともに、バッファメモリデータバスの有効利用をはかることができる。すなわち、ホストコンピュータ200へのデータ転送のためにバッファメモリ49のデータバスアクセス権をできる限り長い時間ホストデータ転送のためのデータ読み出しに割り当てることにより、データ転送時にホストインターフェイスコントローラ55がホストコンピュータ200に対してIORDY信号によるウェイトリクエストを発行する頻度が減少し、全体としてホストコンピュータ200はCD-ROMデータ転送に費やすCPUタイムを短縮することができる。

【0130】上記の実施例では、スピンドルモータ2が4倍線速でCLV制御されるCD-ROMディスク再生装置を説明したが、スピンドルモータ2の回転がCAV制御され、ADPCMオーディオデータ復調手段を内蔵しているCD-ROMディスク再生装置にも有効に適用できる。

【0131】図19は、ADPCMオーディオデータ復調手段を内蔵しているCD-ROMディスク再生装置の実施例を示している。本実施例のCAV制御方式CD-ROMディスク再生装置では、デジタル信号処理回路24がCD-ROM XA方式のADPCMオーディオ復調回路を含むように構成されている。同図においてスピンドルモータ2は回転センサとして回転軸に周波数発電機108が装備されており、CAVサーボプロセッサ2

8によりCAV制御がなされている。本実施例における角速度は4倍線速モードにおける最内周回転数2000rpmと等しくなるように制御されている。

【0132】109は読み取りEFMデータ信号のデータレートを検出するデータレート検出回路であり、この検出回路109の出力によりビット同期クロック生成PLL16内のVCO78の中心発信周波数をデータレートに追従させるように制御している。110はADPCMオーディオ復調回路、130はD/Aコンバータ、131はローパスフィルタ、132はオーディオ増幅器、133L、133Rはオーディオ信号出力端子である。

【0133】図20は、ADPCMオーディオ復調回路110の構成を説明する図である。111はメモリアドレス発生回路、112はメモリ制御信号発生回路、113は3ステートアドレス出力バッファ、114は3ステートメモリ制御信号出力バッファ、115はオーディオデータプロセッサ、116はD/Aコンバータインターフェイス、117はシーケンサ/システムタイミング発生回路、118はシステムコントローラインターフェイス、119はコントロール/ステータスレジスタである。バッファメモリ49のデータバスはオーディオデータプロセッサ115に接続されている。ADPCMオーディオ復調回路110の動作はシステムコントローラバスを介しシステムコントローラ51が、コントロール/ステータスレジスタをアクセスすることにより制御される。

【0134】バッファメモリ49は、ADPCMオーディオ復調器110とバッファメモリコントローラ50とにより共用され、3ステート出力バッファ113と114から出力されるバッファアドレス線ならびにメモリ制御線S_{OE}/S_{CE}はバッファメモリ49のアドレス端子ならびに制御信号端子に接続されている。

【0135】バッファメモリコントローラ50がADPCMオーディオ復調回路110に対してバッファメモリ49内のADPCMオーディオデータ格納領域アクセスを許可した場合、ADPCMオーディオ復調回路110が生成するアドレス信号ならびにメモリ読み出し制御信号がバッファメモリ49に出力され、それ以外の場合はハイインピーダンス状態となり、バッファメモリ49から分離さる。

【0136】ADPCMオーディオ復調回路110からのADPCMオーディオデータ要求は、バッファメモリコントローラ50が、他のデータアクセスチャンネルからのバッファメモリアクセス要求とともにアクセス調停を行うが、両者の間のハンドシェイクはADPCMオーディオ復調回路110が出力するS_{REQ}信号とバッファメモリコントローラ50がS_{REQ}信号に対する応答としてバッファメモリアクセスを許可する指示信号S_{ACK}とで行う。

【0137】ADPCMオーディオ復調回路110にア

アクセス権が与えられると、バッファメモリコントローラ 50 からバッファメモリ 49 に対するメモリバスは 3 ステート状態になり、オーディオデータプロセッサ 115 は、図 21 に斜線で示すバッファメモリ 49 中の ADPCM セクタデータ格納領域からまずサブヘッダ中のコーディング情報バイトを読み取り復調モードを判定する。次に、オフセットアドレス 12 ~ 2315 に記憶されている 2304 バイトの圧縮データを順次読み込みながら復調し、所定のサンプルレートのデジタルオーディオデータを DA コンバータインターフェイス 116 を介して D/A コンバータ 130 に出力するようにしている。ADPCM データ読み出し開始アドレスならびにオーディオセクタのインターリーブ比に対応したアドレスオフセットは、システムコントローラ 51 によりコントロール/ステータスレジスタ 119 を介してメモリアドレス発生回路 111 に設定される。アドレスカウンタ 111 の内容は、1 回のハンドシェイクが終了する毎に +1 ずつ増加し、2304 バイト目のデータ読み込みが終了すると読み出し開始アドレスとオフセットデータとにより、オーディオデータが格納されている次領域の先頭アドレスが計算され、アドレスカウンタ 111 にロードされる。

【0138】図 22 には、データ処理時の動作タイミング図を示す。

【0139】同図は ADPCM レベル B ステレオの圧縮されたオーディオデータが格納されたオーディオセクタが 3:1 のインターリーブ比にてトラック上に配置されている場合の処理動作を示している。CD-ROM ディスクから読み出した目的セクタには便宜的にセクタ番号を 0、1、2、…、 $i-1$ 、 i 、 $i+1$ 、…と割り当てている。ここでセクタ 0、4、8、…、 $4(s-1)$ 、…が ADPCM オーディオセクタ、セクタ 7 がテキストデータセクタ、他はビデオデータセクタである。ホストコンピュータはテキストデータセクタのみ、転送すべきデータとして指示していない。

【0140】この実施例では、タグフィールドを図 23 に示す拡張を行なっている。

【0141】同図において AUD ビット (ビット 6) が拡張ビットであり、当該セクタデータが ADPCM オーディオ復調回路 110 にて復調すべきデータか否かを指示する。すなわち、ディスクからの読み取りセクタデータをバッファメモリ 49 にバッファリングすると共にホストコンピュータから転送されている XA ページデータを参照し、ADPCM オーディオ復調回路 110 により復調するデータであれば $AUD=1$ とし、それ以外のデータは $AUD=0$ とする。 $AUD=1$ としたセクタデータは $REQ=0$ でありヘッダならびにサブヘッダの合計 12 バイトのみをホストコンピュータに転送する。バッファリング、ホスト転送のためのバッファメモリ 49 からの読み出し、ならびにホスト転送処理は第 1 の実施例

と同様に実行される。スピンドルモータ 2 が CAV 制御であるので、回転待ち時間 T_r は光ピックアップ 3 の位置によらず一定となる。また、1 トラックキック終了からリード開始セクタより前に配置されているセクタのヘッダアドレスが読み出し可能となる迄の最大時間 τ は、光ピックアップ 3 の位置が外周に移動するに従って線速度が増加するので、外周ほど短い時間となる。スピンドルモータ 2 を角速度一定制御した場合にも最小転送待ちセクタ数も光ピックアップ 3 の位置の関数として扱うことができる。

【0142】なお、この発明は上記実施例に限定されるものではなく、この他にその主旨を逸脱しない範囲で種々に変形して実施する事ができる。

【0143】

【発明の効果】以上のように本発明の CD-ROM ディスク再生装置によれば、ディスク回転制御モードを固定したままで記録時線速と同一の線速にて読み取ったと等価なデータ転送レートにてホストコンピュータに対するデータ転送を実行できるので、ディスク回転制御モードを切り替えることが不要となり、ホストコンピュータが、1 倍線速再生指示のために一連のコマンドを発行してから目的とする最初の CD-ROM データを得られる迄の時間を著しく短縮できる。さらに、それぞれの再生線速に対応した定数切り替えが不要となり安価な CD-ROM ディスク再生装置を提供できる。

【図面の簡単な説明】

【図 1】この発明の一実施例を示す図。

【図 2】図 1 のセクタクロック生成回路を示す図。

【図 3】図 1 の装置の動作例を示すタイミング図。

【図 4】図 1 の装置の他の動作例を示すタイミング図。

【図 5】図 1 の装置のさらに他の動作例を示すタイミング図。

【図 6】図 2 の回路に対する設定データとクロック周波数の説明図。

【図 7】転送すべき CD-ROM XA セクタのファイル番号ならびにチャンネル番号をオーディオセクタとビデオセクタそれぞれについて指示するために "Mode Select" コマンドを示す図。

【図 8】XA ページデータのフォーマットを示す図。

【図 9】Read XA コマンドを示す図。

【図 10】システムコントローラがバッファメモリ 49 の管理のために使用するレジスタ例を示す図。

【図 11】WSTADR レジスタならびに RSTADR レジスタとバッファメモリのセクタデータ格納領域との関係を示す図。

【図 12】SRAM 中のタグ領域のデータ構造とフォーマットを示す図。

【図 13】デジタル信号処理回路でのデータの一連の処理動作ならびにディスクアクセスモードを説明する図。

【図 14】バッファリング開始時のフロー図。

【図15】図14のフローの続きを示す図。

【図16】この発明の装置の動作のタイミングを示す図。

【図17】バッファメモリへのデータ格納例とタグ領域との関係を示す図。

【図18】ホストコンピュータへのデータ転送処理のフローを示す図。

【図19】この発明の他の実施例を示す図。

【図20】図19のオーディオ復調回路を示す図。

【図21】バッファメモリ中のADPCMセクタデータ 10 格納領域の例を示す図。

【図22】図19の装置のデータ処理時の動作タイミング図。

【図23】タグフィールドフォーマットの他の例を示す図。

【図24】従来のCD-ROMディスク再生装置の構成を示す図。

【図25】図1の装置の一部を詳しく示す図。

【図26】ホストインターフェイスレジスタの構成を示す図。

【図27】ホストインターフェイスレジスタのライトレジスタ及びライトレジスタの詳細を示す図。

【図28】図25に示した各回路の特性を切り換えるためのスイッチの状態と、出力クロック、及び線速モードとの関連を示す図。

【図29】CD-ROMディスクの構造例及びのホストコンピュータの構成例を示す図。

【図30】CD-ROM XA方式のADPCMオーデ*

*イオのコーディングモードを示す説明図。

【図31】CD-ROMモード2フォーム2のセクタフォーマットならびにこのフォーマットに従ってデータを格納したビデオセクタとオーディオセクタの構造を示す図。

【図32】“Set CD-ROM Speed”コマンドを示す図。

【図33】データ転送レートの指定例を示す図。

【図34】Test Unit Readyコマンドを示す図。

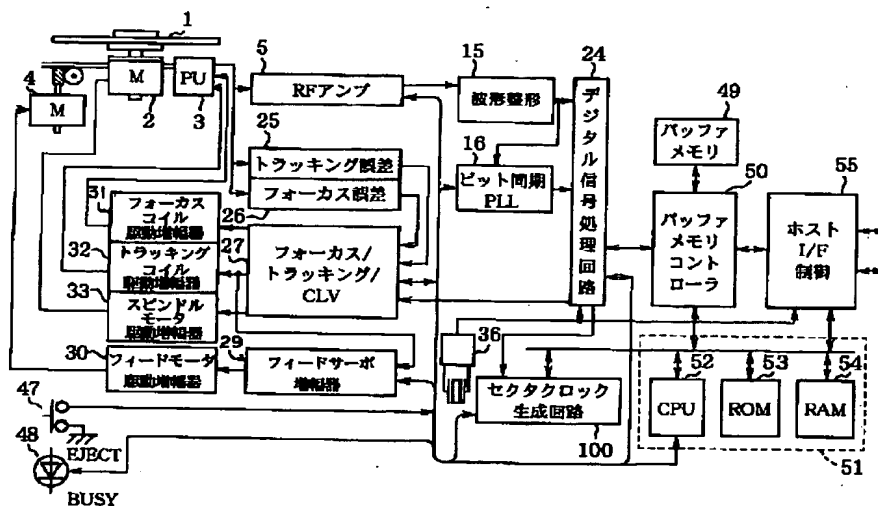
【図35】Read XAコマンドを示す図。

【図36】スピンドルモータの回転数が変化する時間を示す図。

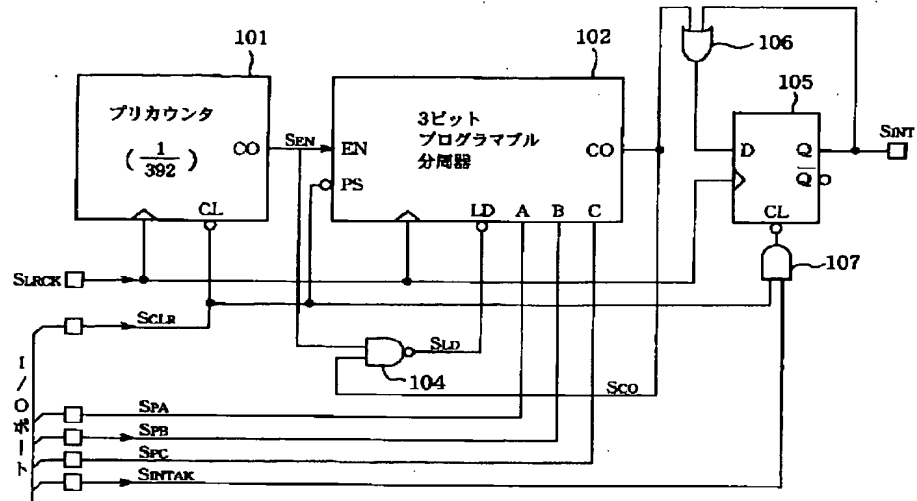
【符号の説明】

1…光ディスク、2…スピンドルモータ、3…光ピックアップ、4…ピックアップ送りモータ、5…高周波増幅器、6…特性切り換え回路、15…波形整形回路、16…ビット同期クロック生成PLL回路、24…デジタル信号処理回路、25…トラッキング誤差増幅器、26…フォーカス誤差増幅器、27…デジタルサーボプロセッサ、28…CAVサーボプロセッサ、29…フィードサーボ増幅器、30…フィードサーボ増幅器、31…フォーカスコイル駆動増幅器、32…トラッキングコイル駆動増幅器、33…スピンドルモータ駆動増幅器、36…発振回路、49…バッファメモリ、50…バッファメモリコントローラ、52…CPU、53…ROM、54…RAM、55…ホストインターフェイスコントローラ、100…セクタクロック生成回路。

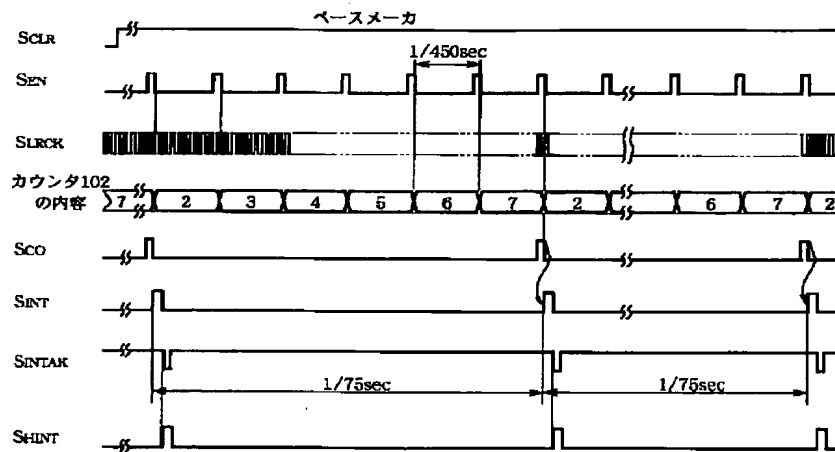
【図1】



【図2】



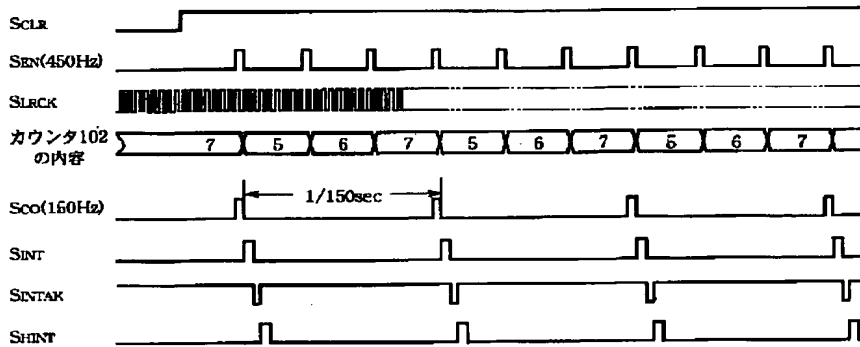
【図3】



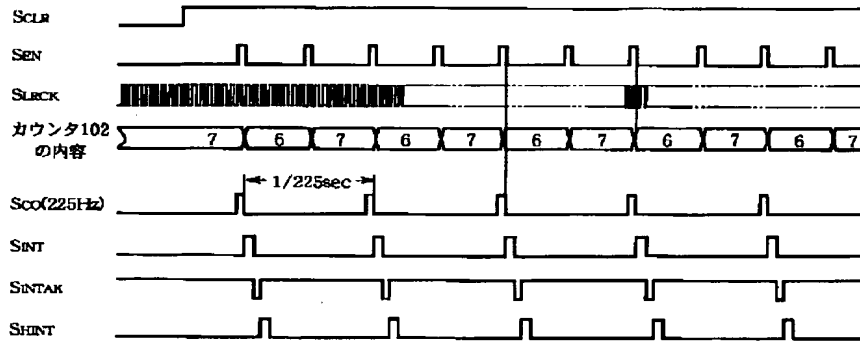
【図6】

Spc	Spb	Spa	分周数	セクタクロック周波数 (Hz)	線速モード
0	1	0	6	75	1倍速
1	0	1	3	150	2倍速
1	1	0	2	225	3倍速

【図4】



【図5】



【図7】

	b7	b6	b5	b4	b3	b2	b1	b0
00	Operation Code (55h)							
01	0	0	0	0	0	0	0	0
02	Page Code (20h)							
03	0	0	0	0	0	0	0	0
04	0	0	0	0	0	0	0	0
05	0	0	0	0	0	0	0	0
06	0	0	0	0	0	0	0	0
07	(MSB) Parameter List Length (=0008h)							
08	(LSB)							
09	0	0	0	0	0	0	0	0
10	0	0	0	0	0	0	0	0
11	0	0	0	0	0	0	0	0

Mode Select コマンド

【図8】

	b7	b6	b5	b4	b3	b2	b1	b0
00	Page Code (20h)							
01	Page Length=05h							
02	Video Data File Number							
03	Audio Data File Number							
04	(MSB)							
05	Channel Selection Mask							
06								
07								

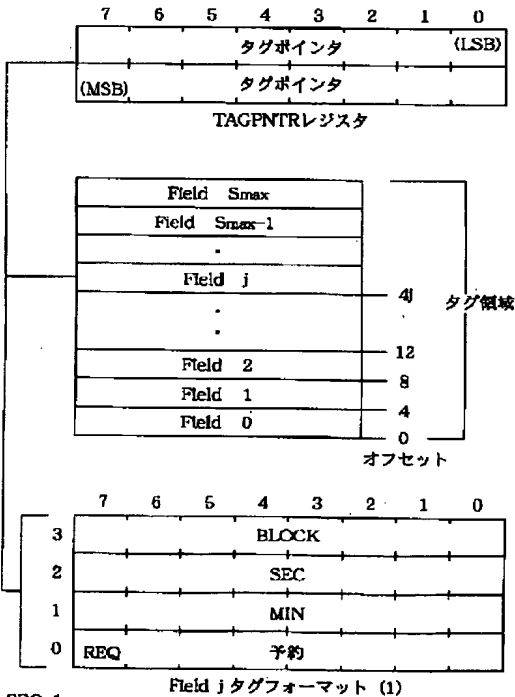
XAページデータ

【図 9】

	b7	b6	b5	b4	b3	b2	b1	b0
00	Operation Code (A9h)							
01	0	0	0	0	0	0	0	0
02	Logical Block Address							
03								
04								
05								
06	Transfer Length							
07								
08								
09								
10	0	0	0	0	0	0	0	0
11	0	0	0	0	0	0	0	0

Read XA コマンド

【図 12】



REQ=1
AVD=0 のときは
2340/バイト

【図 10】

7	6	5	4	3	2	1	0
(MSB)							(LSB)

バッファリング未了セクタ数 (L)

バッファリング未了セクタ数

バッファリング未了セクタ数

バッファリング未了セクタ数 (H)

NUM_WSECTレジスタ

7	6	5	4	3	2	1	0
(MSB)							(LSB)

未転送セクタ数 (L)

未転送セクタ数

未転送セクタ数

未転送セクタ数 (H)

TRCOUNTレジスタ

7	6	5	4	3	2	1	0
(MSB)							(LSB)

転送待ちセクタ数 (L)

転送待ちセクタ数 (H)

TRPENDレジスタ

7	6	5	4	3	2	1	0
(MSB)							(LSB)

WSTADR (L)

WSTADR (M)

WSTADR (H)

WSTADRレジスタ

7	6	5	4	3	2	1	0
(MSB)							(LSB)

RSTADR (L)

RSTADR (M)

RSTADR (H)

RSTADRレジスタ

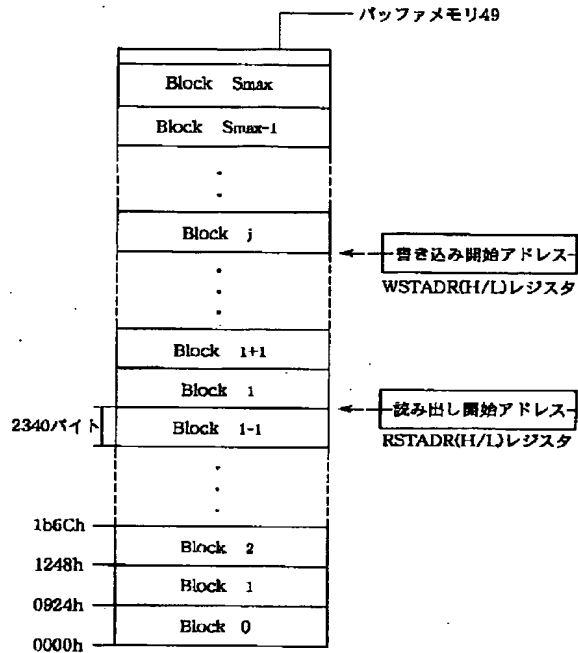
【図 23】

7	6	5	4	3	2	1	0
3							
2							
1							
0	REQ	AUO					

BLOCK
SEC
MIN
予約

Field j タグフォーマット (2)

【図 1 1】

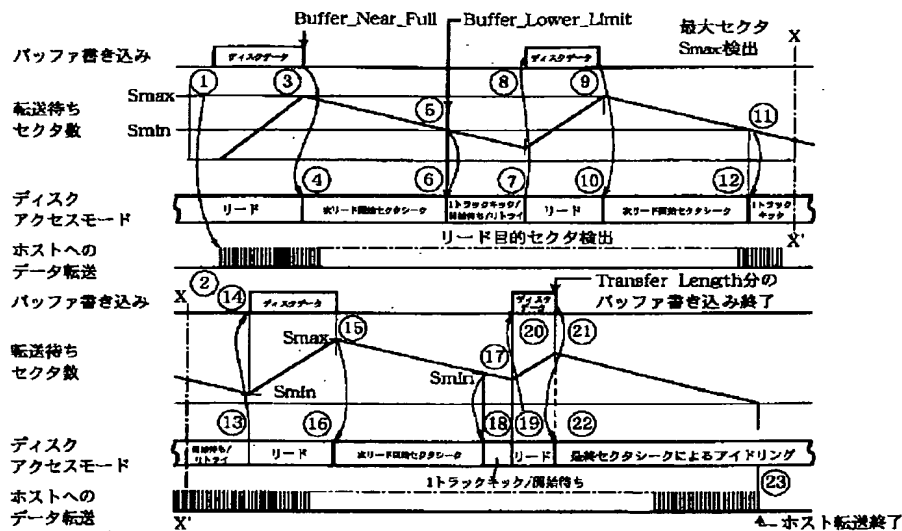


【图 2 6】

アドレス	リードレジスタ	ライトレジスタ
0	Error Status	Command
1	Data	Data
2	Byte Count (L)	Byte Count (L)
3	Byte Count (H)	Byte Count (H)
4	Drive Status	Drive Control
5	Bus Phase	Drive Select

ホストインターフェイスレジスタ

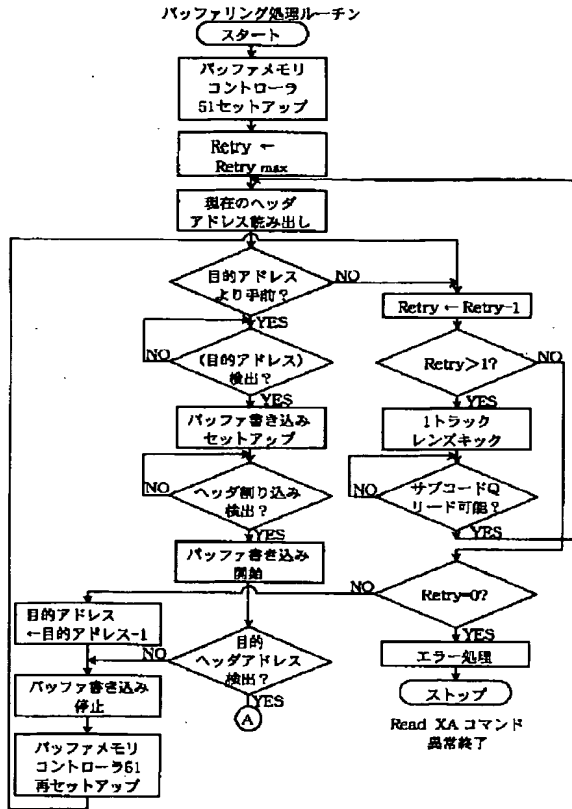
【图 13】



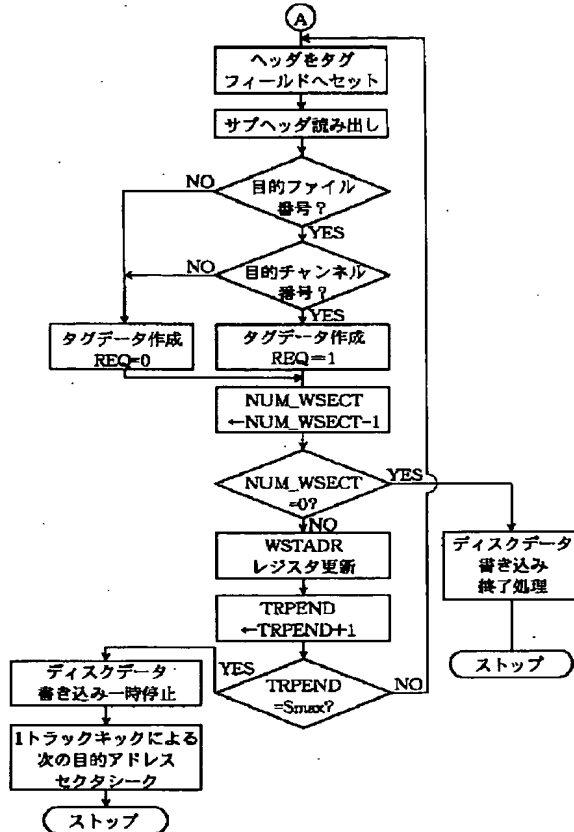
【図 30】

再生品質	再生チャンネル	サンプリング周波数	インターリーブ比
レベルB	ステレオ モノラル	37.8KHz 37.8KHz	1 : 3 1 : 7
レベルC	ステレオ モノラル	18.9KHz 18.9KHz	1 : 7 1 : 15

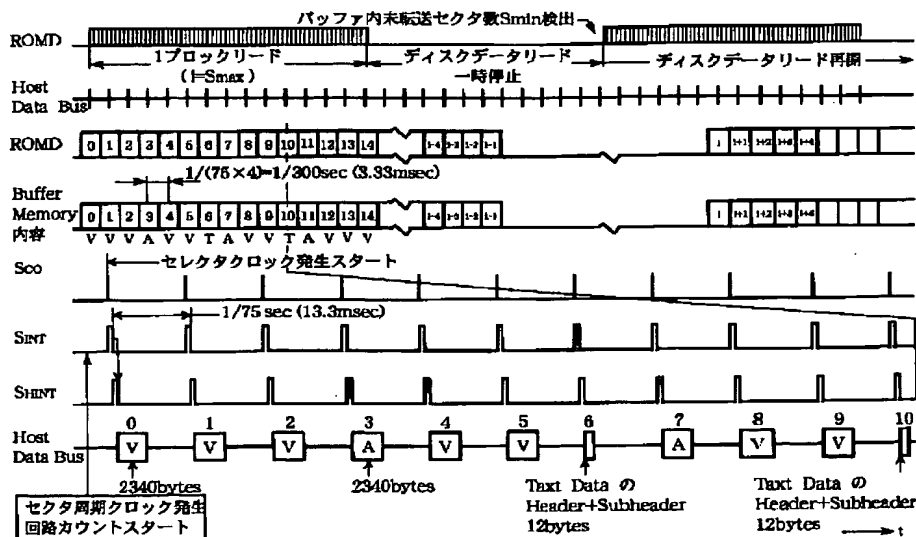
【図14】



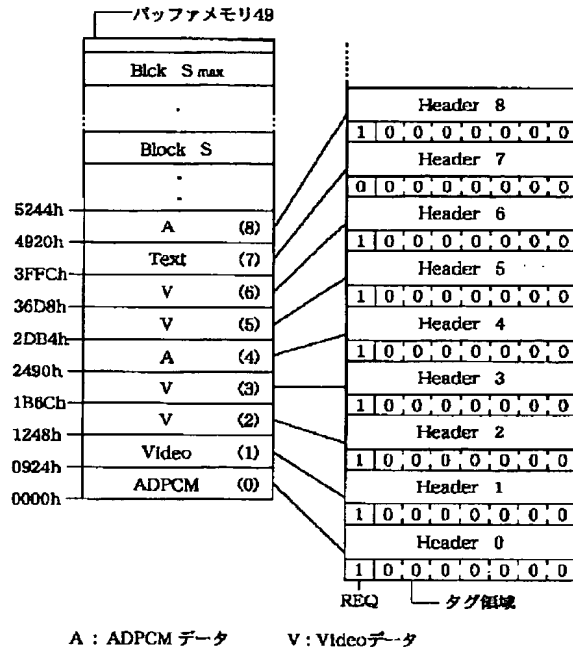
【図15】



【図16】



【図17】

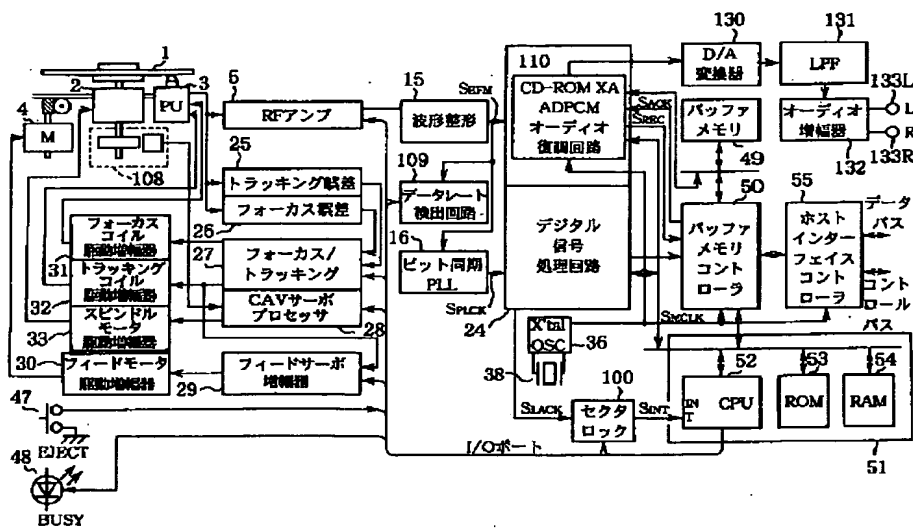


【図32】

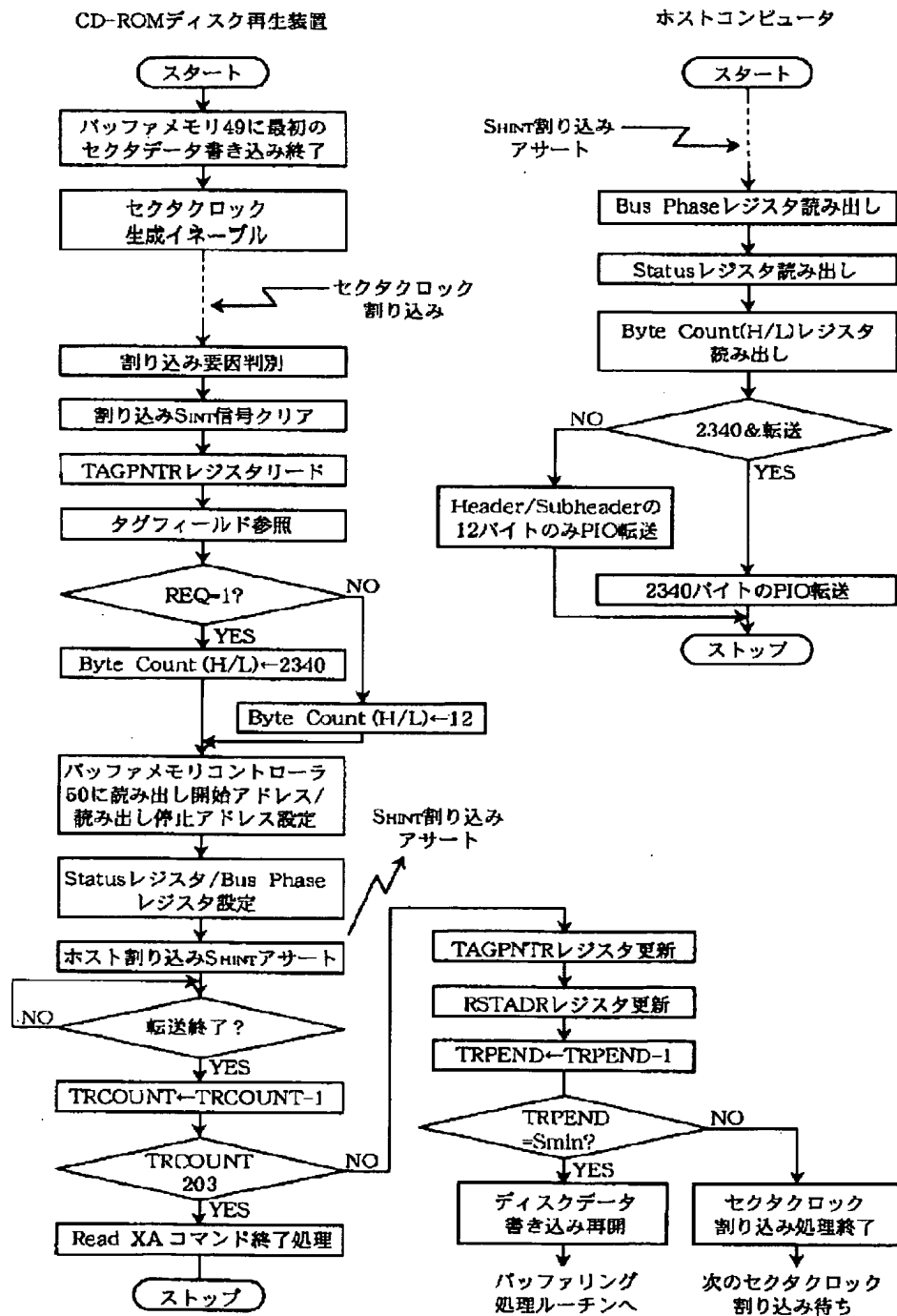
	b7	b6	b5	b4	b3	b2	b1	b0
00								
01	0	0	0	0	0	0	0	0
02	(MSB)							
03								(LSB)
04	0	0	0	0	0	0	0	0
05	0	0	0	0	0	0	0	0
06	0	0	0	0	0	0	0	0
07	0	0	0	0	0	0	0	0
08	0	0	0	0	0	0	0	0
09	0	0	0	0	0	0	0	0
10	0	0	0	0	0	0	0	0
11	0	0	0	0	0	0	0	0

Set CD-ROM Speed コマンドホストコンピュータが発行

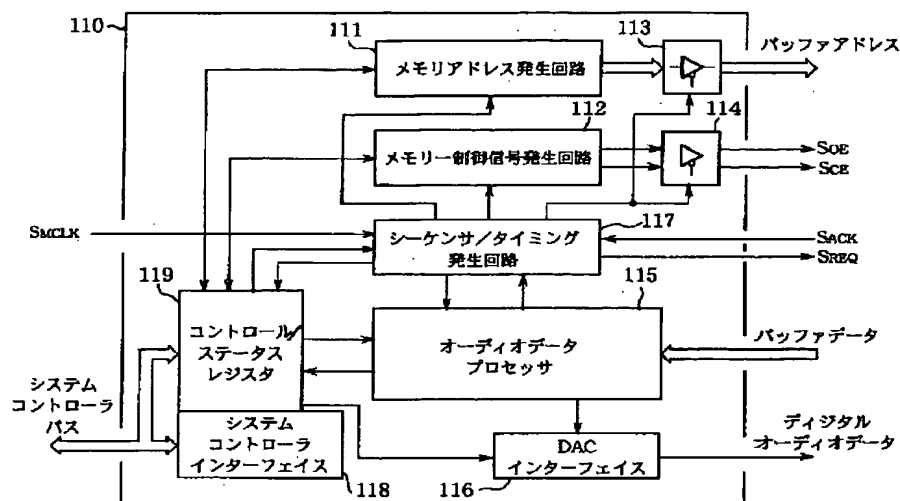
【図19】



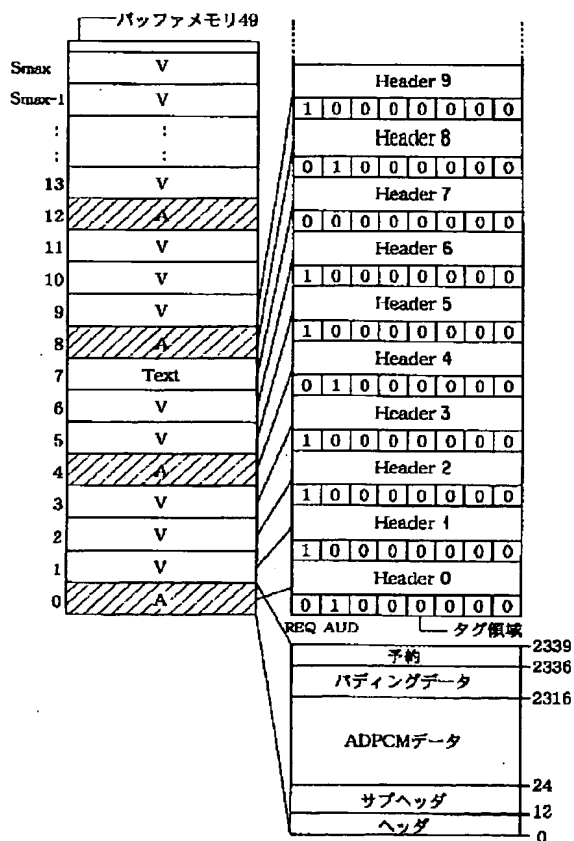
【図18】



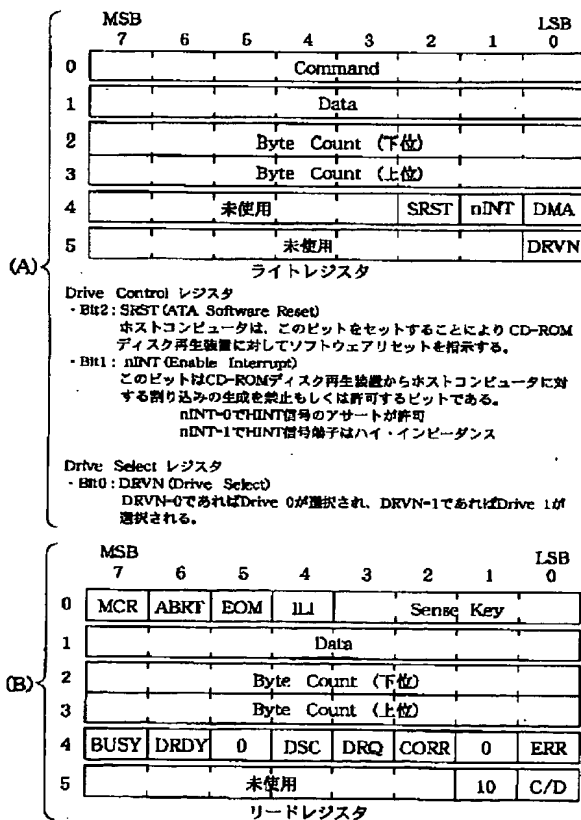
【図20】



【図21】



【図27】



バッファ内セクタ数 = 3min

ROMD

1ブロックリード → ディスクデータリード → 一時停止 → ディスクデータリード再開 →

Host Data Bus

A V V V A V T A V V V A V V V A V V V A V V V A V V V A V V V A

ROMD

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32

Buffer Memory 内容

A V V V A V T A V V V A V V V A V V V A V V V A V V V A

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32

SINT

↑ セクタ周期クロック発生
四路カウンタスタート

ADPCM Processor

ADPCM復調開始

SHANT

Header
+
(0) Subheader (12 Bytes)

Mode 2 Form 2 ビデオデータ (2340 Bytes)

Host Data Bus

A V V V A V T A

(0) (1) (2) (3) (4) (5) (6) (7) (8)

The diagram illustrates the internal architecture of a video cassette recorder (VCR) and its connection to a host system. The VCR components are numbered 1 through 30, and the host system components are numbered 31 through 55. The VCR is connected to the host system via a serial interface (EJECT, BUSY).

VCR Components:

- 1: Motor (M) and Pulley (PU) for tape transport.
- 2: Motor (M) for the tape head.
- 3: RF Amp.
- 4: Tracking Error and Focus Error signals.
- 5: Focus/Tracking/CLV control.
- 6: Focus Coil, Tracking Coil, and Servomotor.
- 7: Feed Motor.
- 8: Feed Servo.
- 9: Waveform Processor.
- 10: Bit Clock PLL.
- 11: Digital Signal Processing Circuit.
- 12: Buffer Memory.
- 13: Buffer Memory Controller.
- 14: Host I/F Controller.
- 15: CPU.
- 16: ROM.
- 17: RAM.

Host System Components:

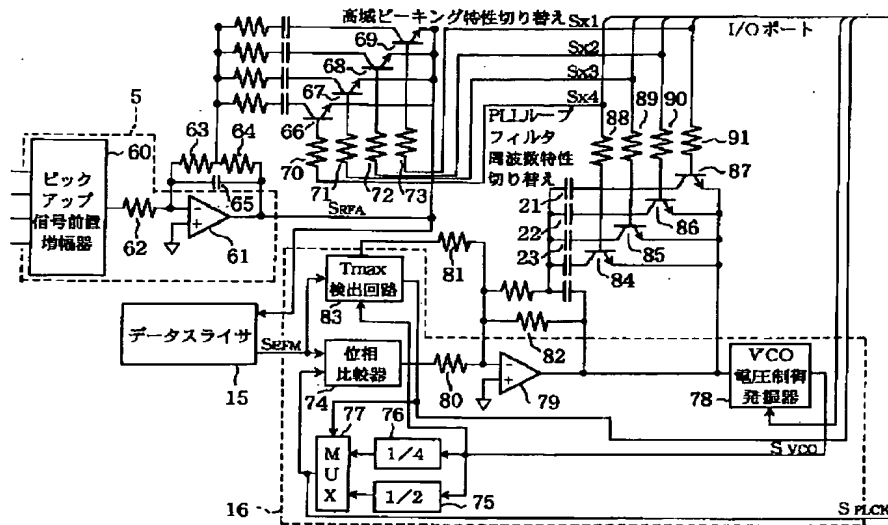
- 31: Waveform Processor.
- 32: Bit Clock PLL.
- 33: Digital Signal Processing Circuit.
- 34: Buffer Memory.
- 35: Buffer Memory Controller.
- 36: Host I/F Controller.
- 37: CPU.
- 38: ROM.
- 39: RAM.

Connections:

- The VCR's RF Amp (3) is connected to the host's Waveform Processor (31).
- The VCR's Tracking Error and Focus Error signals (4) are connected to the host's Bit Clock PLL (32).
- The VCR's Focus/Tracking/CLV control (5) is connected to the host's Digital Signal Processing Circuit (33).
- The VCR's Focus Coil, Tracking Coil, and Servomotor (6) are connected to the host's Buffer Memory (34).
- The VCR's Feed Motor (7) is connected to the host's Buffer Memory Controller (35).
- The VCR's Feed Servo (8) is connected to the host's Host I/F Controller (36).
- The VCR's Waveform Processor (9) is connected to the host's Waveform Processor (31).
- The VCR's Bit Clock PLL (10) is connected to the host's Bit Clock PLL (32).
- The VCR's Digital Signal Processing Circuit (11) is connected to the host's Digital Signal Processing Circuit (33).
- The VCR's Buffer Memory (12) is connected to the host's Buffer Memory (34).
- The VCR's Buffer Memory Controller (13) is connected to the host's Buffer Memory Controller (35).
- The VCR's Host I/F Controller (14) is connected to the host's Host I/F Controller (36).
- The VCR's CPU (15) is connected to the host's CPU (37).
- The VCR's ROM (16) is connected to the host's ROM (38).
- The VCR's RAM (17) is connected to the host's RAM (39).

編速	データレート	Drive Speede パラメータ
4倍速	706KB/sec	1011000010b
3倍速	528KB/sec	1000010000b
2倍速	363KB/sec	0101100001b
1倍速	176KB/sec	0010110000b

【図25】



【図28】

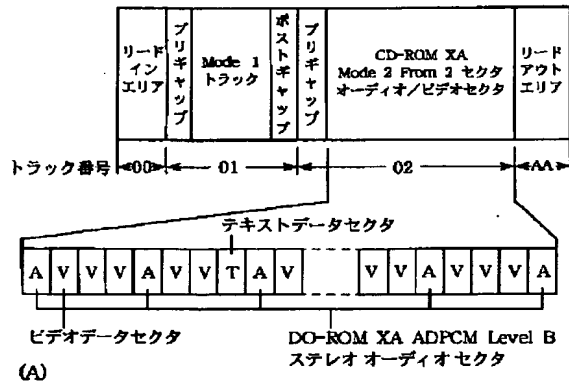
搬送モード	スイッチ6	スイッチ17	Clock MUX	Svco周波数	SPLCK周波数
4倍速	a	a	X	34.57MHz	17.29MHz
3倍速	b	b	Y	25.93MHz	12.97MHz
2倍速	c	c	X	8.64MHz	8.6436MHz
1倍速	d	d	X	17.29MHz	4.3218MHz

【図34】

	b7	b6	b5	b4	b3	b2	b1	b0
00	Operation Code (00h)							
01	0	0	0	0	0	0	0	0
02	0	0	0	0	0	0	0	0
03	0	0	0	0	0	0	0	0
04	0	0	0	0	0	0	0	0
05	0	0	0	0	0	0	0	0
06	0	0	0	0	0	0	0	0
07	0	0	0	0	0	0	0	0
08	0	0	0	0	0	0	0	0
09	0	0	0	0	0	0	0	0
10	0	0	0	0	0	0	0	0
11	0	0	0	0	0	0	0	0

Test Unit Ready コマンド

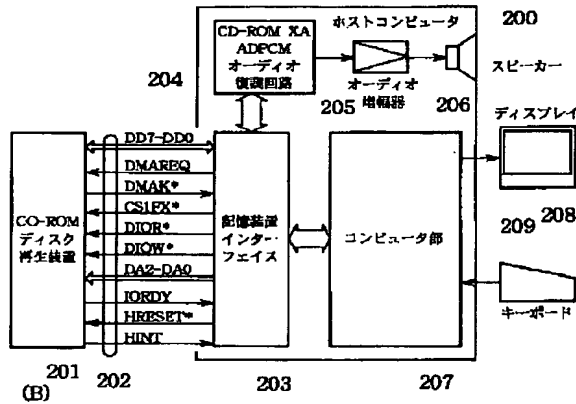
【図 2 9】



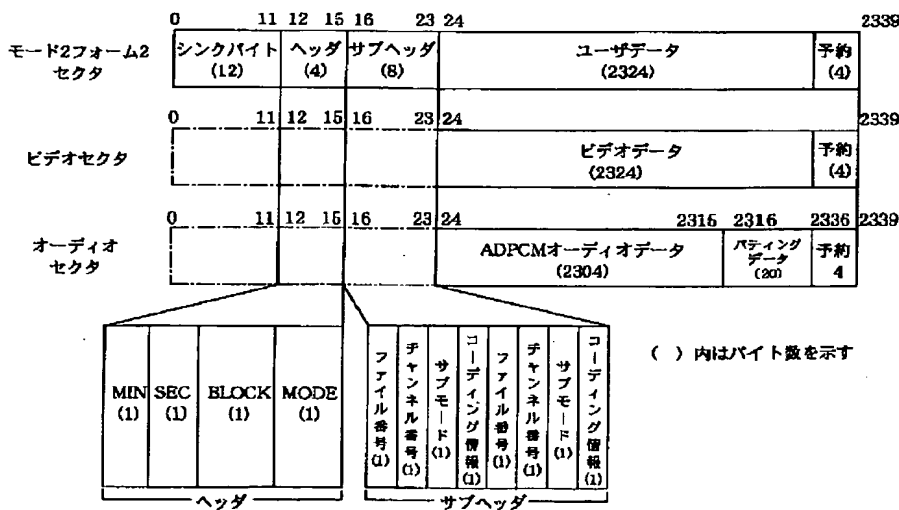
【図 3 5】

	b7	b6	b5	b4	b3	b2	b1	b0
00	Operation Code (A8h)							
01	0	0	0	0	0	0	0	0
02	(MSB)							
03	Logical Block Address							
04								
05	(LSB)							
06	(MSB)							
07	Transfer Length							
08								
09	(LSB)							
10	0	0	0	0	0	0	0	0
11	0	0	0	0	0	0	0	0

Read XA コマンド



【図 3 1】



() 内はバイト数を示す

【図36】

